

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51). Int. Cl. 7
 H01L 27/146

(11) 공개번호 특2002-0061502
 (43) 공개일자 2002년07월24일

(21) 출원번호 10-2002-0001037
 (22) 출원일자 2002년01월08일

(30) 우선권주장 JP-P-2001-00006239 2001년01월15일 일본(JP)

(71) 출원인 낫본 텐기 가부시끼가이샤
 일본국 도쿄도 미나도꾸 시바 5조메 7방 1고

(72) 발명자 후루미야마사유기
 일본국도쿄도미나도꾸시바5조메7방1고낫본텐기ガ부시끼가이샤나이
 나카시바야스타카
 일본국도쿄도미나도꾸시바5조메7방1고낫본텐기ガ부시끼가이샤나이

(74) 대리인 조의제

심사청구 : 있음

(54) 분할된 광전변환부를 구비한 고체촬상장치

요약

CMOS제조공정에 호환하는 고체촬상장치는 광전변환부의 축적된 전자들의 수에 따라 변화하는 전위를 출력하지만, 광전변환부의 기생용량이 C이고 출력전압이 V이면, $V=Q/C$ 이고, 고체촬상장치는, 광전변환부의 면적을 단순히 증가시켜 감도를 향상시키는 경우, 그에 비례하여 기생용량(C)이 증가되고 신호전하들에 의한 전위의 변화(V)는 기대한 정도로 증가되지 않는다는 문제를 가진다. 광전변환부가 제1영역과 제2영역에 인접하는 제3영역으로 분할되고, 제1영역 및 제2영역 사이에 채널영역을 위해 P형 웨이팅을 사용하는 정전위설정용MOSFET이 제공되고, 제어용MOSFET의 채널영역이 제3영역 및 종래 형태의 제어용MOSFET 사이에 P형 웨이팅에 의해 형성되는 경우, 입사광량에 대해 2단계의 입사광량- 출력전압특성이 얻어질 수 있고 낫은 조도에서의 감도가 향상될 수 있다.

대표도
 도 1

색인어
 화소, 광전변환부들, N+형반도체영역들, 정전위설정용트랜지스터

명세서

도면의 간단한 설명

도 1a는 본 발명의 제1실시예에 상당하는 고체활상장치를 보여주는 단면도이고 도 1b는 그 펴낸설상태도, 도 2a는 발명의 제1실시예에 상당하는 고체활상장치를 보여주는 단면도이고 도 2b는 그 펴낸설상태도, 도 3은 발명에 따른 고체활상장치의 출력의 입사광에 대한 의존성을 보여주는 도면, 도 4a는 발명의 제2실시예에 상당하는 고체활상장치를 보여주는 단면도이고 도 4b는 그 펴낸설상태도, 도 5a는 발명의 제2실시예에 상당하는 고체활상장치를 보여주는 단면도이고 도 5b는 그 펴낸설상태도, 도 6a는 발명의 제3실시예에 상당하는 고체활상장치를 보여주는 단면도이고 도 6b는 그 펴낸설상태도, 도 7a는 발명의 제3실시예에 상당하는 고체활상장치를 보여주는 단면도이고 도 7b는 그 펴낸설상태도, 도 8a는 발명의 제4실시예에 상당하는 고체활상장치를 보여주는 단면도이고 도 8b는 그 펴낸설상태도, 도 9a는 발명의 제4실시예에 상당하는 고체활상장치를 보여주는 단면도이고 도 9b는 그 펴낸설상태도, 도 10a는 종래의 고체활상장치를 보여주는 단면도이고 도 10b는 그 펴낸설상태도, 도 11a는 종래의 고체활상장치를 보여주는 단면도이고 도 11b는 그 펴낸설상태도, 도 12는 능동형 XY어드레싱 고체활상장치를 보여주는 블록도, 도 13은 종래의 고체활상장치의 출력의 입사광에 대한 의존성을 보여주는 도면.

*도면의 주요부분에 대한 부호의 설명

101 : P형반도체기판 102 : P형웰층

103, 123 : P⁺형반도체영역(소자분리영역)105, 106, 107, 126 : N⁺형반도체영역108 : 채널영역 109 : P⁺형반도체영역

201 : 제어용MOSFET 202 : MOSFET(소스추종증폭기)

209 : 정전위설정용MOSFET

발명의 실체

발명의 속성

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고체촬상장치에 관한 것으로, 특히 분할된 광전변환부를 구비한 고체촬상장치에 관한 것이다.

최근, 디지털카메라, 디지털VTR 등에 사용되는 고체촬상장치가 크게 주목받고 있다. 이전에는, 고체촬상장치는 광전변환된 신호전하를 전송하기 위한 전송층의 방식에 따라 MOS형 및 CCD형으로 대별되었다.

이러한 고체촬상장치들 중, 특히 CCD형 고체촬상장치는 최근에 카메라일체형 VTR, 디지털카메라 및 팩시밀리와 같은 전자기기에 사용되고 있고 여전히 특성향상을 위한 기술개발이 이루어지고 있다.

그러한 고체촬상장치들 중의 하나로는, CMOS제조공정과 호환되는 고체촬상장치(이후 'CMOS센서'라 함)가 있다(예를 들면, '닛케이 마이크로디바이스', 1997년 7월호, 120-125쪽 참조). 이 CMOS센서는 5V 또는 3.3V의 단일 전원에 의해 동작될 수 있고, 소비전력이 낮고, 일반적인 CMOS제조공정으로 제조될 수 있으며, 신호처리회로와 그 밖의 주변회로들이 동일 칩에 탑재될 수 있고, CMOS제조공정과 호환성이 있다는 특징을 가진다.

도 10a 및 도 11a는 CMOS센서의 기본셀(화소)을 각각 보여주는 단면도들이다. 도 10b는 신호전하들이 광전변환부에 축적된 때의 페텐셜상태도(potential phase diagram)이고 도 11b는 광전변환부 내의 신호전하들이 리셋된 때의 페텐셜상태도이다.

도 10a에 보인 것처럼, CMOS센서의 기본셀(화소)은, P형반도체기판(301), P형반도체기판(301)의 내부에 형성되며 그 일부가 P형반도체기판(301)의 표면에 노출된 P형웰층(302), P형반도체기판(301)의 표면에 노출된 P형웰층(302) 위에 형성되고 소자분리영역으로서 기능하는 P⁺형반도체영역들(303 및 323), P형웰층(302) 및 P⁺형반도체영역(303)에 의해 둘러싸이며 광전변환부로서 기능하는 N⁺형반도체영역(306), P형웰층(302) 및 P⁺형반도체영역(323)에 의해 둘러싸이며 제어용MOSFET(401)의 드레인으로서 기능하는 N⁺형반도체영역(305), P형반도체기판(301)의 표면에 노출된 P형웰층(302)의 노출표면에 대향하게 위치된 게이트전극을 갖는 제어용MOSFET(401), 소스추종(source-follower)증폭기로서 기능하는 제1MOSFET(402), 및 수평선택스위치로서 기능하는 제2MOSFET(403)을 구비한다.

CMOS센서의 기본셀은 제2MOSFET(403)을 통해 외부회로에 연결된다.

이 외부회로는, 소스추종증폭기의 부하를 이루는 제3부하MOSFET(404), 어둠(dark)출력전송용MOSFET(405), 밝음(light)출력전송용MOSFET(406), 어둠출력전송용MOSFET(405)의 소스 또는 드레인에 연결된 어둠출력축적용커패시터(407), 및 밝음출력전송용MOSFET(406)의 소스 또는 드레인에 연결된 밝음출력축적용커패시터(408)로 구성된다.

제2MOSFET(403)은 제3부하MOSFET(404)에 연결된다. 어둠출력전송용MOSFET(405) 및 밝음출력전송용MOSFET(406)은 제2MOSFET(403) 및 제3부하MOSFET(404) 사이의 노드에 연결된다.

제1MOSFET(402), 제2MOSFET(403) 및 제3부하MOSFET(404)은 전원전압들(VDD 및 VSS) 사이에 직렬로 연결된다. N⁺형반도체영역(306)은 제1MOSFET(402)의 게이트에 연결된다.

P⁺형반도체영역들(303 및 323)은 접지되고 N⁺형반도체영역(305)은 전원전압(VDD)에 연결된다.

도 10 및 11에서 CMOS센서의 화소로서 보여진 기본셀(450)은 매트릭스형태로 배치되어 CMOS셀열이 형성된다. 각 기본셀(450)은 도 12a에 보인 것처럼 수직레지스터(V-레지스터; 451), 수평레지스터(H-레지스터; 452), 부하트랜지스터(404) 및 출력라인(453)에 연결된다.

도 12a에 보인 부하트랜지스터(404)는 도 10 및 11에 보인 부하MOSFET(404)와 동일하다.

출력라인(453)은 수평레지스터(452)에 의해 선택되는 수직선택스위치인 수직선택스위치MOSFET(455)를 통해 도 10 및 11에 각각 보인 각 MOSFET(405, 406) 및 각 커패시터(407, 408)에 연결된다.

도 12b는 기본셀(또는 화소)내의 접속을 보여주며 동일한 참조번호가 도 10 및 11의 구성요소에 대응하는 구성요소에 할당된다. 도 12b에 보인 것처럼, 제어펄스(ϕ_R)가 제어용MOSFET(401)의 게이트에 입력되며, 어드레스신호(X)가 제2MOSFET(403)의 게이트에 입력되고, 부하트랜지스터(404) 및 출력라인(453)은 제2MOSFET(403)의 소스에 접속된다.

다음으로, 도 10 및 11을 참조하여, 전술한 바와 같이 구성된 CMOS센서를 동작하는 방법을 설명한다.

먼저, 도 11에 보인 것처럼, 리셋 시 제어용MOSFET(401)의 게이트에 인가되는 제어펄스(ϕ_R)는 하이레벨의 전압으로 설정되고 N⁺ 형 반도체영역(306)은 전원전압(VDD)으로 리셋된다.

리셋이 종료된 후에는 도 10에 보인 것처럼, 제어용MOSFET(401)의 제어펄스(ϕ_R)는 로우레벨의 전압으로 설정된다.

광전변환부로서 기능하는 N⁺ 형반도체영역(306)에서, 리셋에 의해 kTC노이즈가 발생하지만, 이것은 신호전하들이 전송되기 전에 어둠출력을 샘플링하고 축적하여 어둠출력 및 밝음출력간의 차를 없앰으로써 제거될 수 있다.

계속되는 신호전하들의 축적기간에는, 광전변환부로서 기능하는 N⁺ 형반도체영역(306)에서, 전자-정공쌍이 입사광에 의해 발생될 때, 전자들은 공핍층에 축적되고 정공은 P형웰층(302)을 통해 배출된다. 전원전압(VDD) 아래쪽의 전위를 나타내는 격자형 해칭은 이 영역이 공핍화되지 않았음을 보여준다.

광전변환부로서 기능하는 N⁺ 형반도체영역(306)의 전위는 축적된 전자들의 수에 따라 변화한다. 선형성이 양호한 광전변환특성은, 제2MOSFET(403)에 전위의 변화를 제1MOSFET(402)의 소스추종동작에 의해 제1MOSFET(402)의 소스를 통해 출력함으로써 달성된다.

CMOS제조공정과 호환성이 있는 고체활상장치에서, 광전변환부로서 기능하는 N⁺ 형반도체영역(306)의 전위는 축적된 전자들의 수에 따라 변화하며 전위의 변화는 제1MOSFET(402)의 소스추종동작에 의해 제1MOSFET(402)의 소스를 통해 제2MOSFET(403)에 출력된다.

이 경우, 신호전하들의 량을 Q, 광전변환부로서 기능하는 N⁺ 형반도체영역(306)의 기생용량을 C 그리고 출력전압을 V라 하면, $V=Q/C$ 이다. 도 13은 입사광의 광량, 전위 및 출력전압간의 관계를 보여준다.

그러나, 도 10에 보인 것처럼, 광전변환부가 CMOS제조공정에 호환하는 고체활상장치의 N⁺ 형반도체영역(306)에 의해 형성되므로, 광전변환부의 면적이 단순히 증가하여도 광전변환부의 기생용량(C)이 증가하고, 신호전하들에 의해 전위의 변화(V)가 기대된 양만큼 증가할 수 없게 되는 결점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제를 해결하기 위해 이루어진 것으로, 특히 본 발명의 목적은, 광량이 적을 때의 광전변환부의 출력변환효율이 향상되고 감도가 향상될 수 있는, CMOS제조공정에 호환하는 고체활상장치를 제공함에 있다.

발명의 구성 및 작용

본 발명에 따른 제1의 고체활상장치는, 반도체영역의 한 전도형에 역이 되는 역전도형의 광전변환부, 반도체영역에 형성되고 광전변환부에 대향하게 형성된 역전도형의 드레인영역, 및 광전변환부 및 드레인영역 사이에 형성된 역전도형의 영역을 제어용채널영역을 위해 사용하는 제어용MOSFET를 구비하며, 광전변환부에서의 광전변환으로 발생된 전하들에 의한 전위의 변화를 소스추종증폭(source-follower)회로를 통해 출력하는 것을 특징으로 하는 고체활상장치에 기초한 것으로, 발명에 따른 제1의 고체활상장치는, 광전변환부가 제1광전변환부 및 제2광전변환부를 구비하며, 제어용 채널영역은 제2광전변환부 및 드레인영역 사이에 위치되고, 제1광전변환부 및 제2광전변환부 사이의 영역을 정전위설정용채널영역을 위해 사용하는 정전위설정용MOSFET은 제1광전변환부 및 제2광전변환부 사이에 형성된 것을 기본구성으로 가진다. 발명에 따른 이 고체활상장치는 다음의 다양한 특징들을 가진다.

먼저, 제1광전변환부는 그 면적이 제2광전변환부보다 크다.

정전위설정용채널영역의 전위는, 하이레벨의 전압이 제어용채널영역에 인가될 때의 제어용채널영역의 전위 및 로우레벨의 전압이 인가될 때의 제어용채널영역의 전위 사이에 있다.

드레인영역, 제1광전변환부 및 제2광전변환부 중 적어도 하나는 다른 것들과는 불순물농도 및 반도체영역과의 접합깊이가 다르며, 드레인영역의 불순물농도는 제1광전변환부 및 제2광전변환부의 불순물농도들보다 높으며, 드레인영역 및 반도체영역간의 접합깊이는 제1 또는 제2광전변환부 및 반도체영역간의 접합깊이보다 얕고, 게다가, 구체적으로는, 제1광전변환부 및 제2광전변환부는 불순물농도 및 반도체영역과의 접합깊이가 동일하거나 또는 불순물농도 및 반도체영역과의 접합깊이 중의 어느 하나가 다르다.

제어용MOSFET은 그 게이트전극에 인가되는 전압이 영인 경우에도 소스 및 드레인간에 전류가 흐르는 공핍형 트랜지스터이다.

한 전도형의 캡(cap)반도체층이 제1광전변환부의 표면을 덮고 있다.

제2광전변환부는 소스추종증폭회로를 구성하는 소스추종트랜지스터의 게이트에 연결된다.

미소한(minute) 신호가 입력될 때의 광전변환부의 기생용량은 전술한 바와 같은 제1 및 제2광전변환부들을 제공함으로써 감소될 수 있다.

또한, 발명에 따른 제2의 고체활상장치는, 수광된 광을 신호전하로 변환하는 광전변환부를 구비한 고체활상장치에 기초한 것이며, 그 광전변환부가, 제1, 제2 및 제3영역들을 갖는 제1전도형의 제1반도체층, 제1반도체층의 제1영역에 형성되고 신호전하를 취하기 위한 배선이 연결된 제2전도형의 제2반도체층, 및 제1반도체층의 제3영역에 형성되고 제2반도체층의 대향측과의 사이에 제2영역을 가지는 제2전도형의 제3반도체층을 포함하는 것을 특징으로 한다.

또한, 발명에 따른 제3의 고체활상장치는, 수광된 광을 신호전하로 변환하는 광전변환부를 구비한 고체활상장치에 기초한 것으로, 그 광전변환부가, 제1전도형의 제1반도체층, 제1반도체층에 형성되고 신호전하를 취하기 위한 배선에 연결된 제2전도형의 제2반도체층, 및 제2반도체층과는 떨어져 있게 제1반도체층에 형성된 제2전도형의 제3반도체층을 포함하는 것을 특징으로 한다.

미소한 신호가 입력되는 경우에 신호배선에서부터 보았을 때의 광전변환부의 기생용량은 전술한 바와 같은 복수의 반도체층들로써 광전변환부를 형성하는 반도체층을 형성함에 의해 감소될 수 있다.

이하, 도면들을 참조하여, 본 발명을 설명한다.

도 1은 신호전하들이 기본셀의 광전변환부에 축적되는 동안의 본 발명의 제1실시예에 상당하는 CMOS센서의 기본셀의 단면도와 퍼텐셜상태도를 보여준다. 도 2는 기본셀의 광전변환부의 신호전하들이 리셋될 때의 발명의 제1실시예에 상당하는 CMOS센서의 기본셀의 단면도 및 퍼텐셜상태도를 보여준다. 도 1a 및 2a는 소스추종증폭기를 보여주는 회로도와 함께 제어용MOSFET을 구비한 광전변환부 부근을 보여주는 단면도들을 각각 보여주고, 도 1b 및 2b 각각은 도 1a 및 2a에 각각 보인 광전변환부 및 제어용MOSFET에 대응하는 전위상태도이다.

CMOS센서의 기본셀(화소)은, P형반도체기판(101), P형반도체기판(101)의 내부에 형성되고 그 일부가 P형반도체기판(101)의 표면에 노출된 P형웰층(102), P형반도체기판(101)의 표면에 노출된 P형웰층(102)위에 형성되고 소자분리영역으로서 기능하는 P⁺형반도체영역들(103 및 123), P형반도체기판(101)의 표면에 노출된 P형웰층(102)의 노출표면에 대향하게 위치된 게이트전극을 갖는 제어용MOSFET(201), P형웰층(102) 및 P⁺형반도체영역(123)에 의해 둘러싸이며 제어용MOSFET(201)의 드레인으로서 기능하는 N⁺형반도체영역(105), P형웰층(102) 및 P⁺형반도체영역(103)에 의해 둘러싸인 제1전도형의 제1영역인 N⁺형반도체영역(106), 제1영역(106)에 접하게 형성되며 P형반도체기판(101)의 표면에 노출된 P형웰층(102)의 노출표면에 대향하게 위치된 게이트전극을 갖는 정전위설정용MOSFET(209), 제어용MOSFET(201) 및 정전위설정용MOSFET(209) 사이에 형성된 제1전도형의 제2영역인 N⁺형반도체영역(107), 소스추종증폭기로서 기능하는 제1MOSFET(202), 및 수평선택스위치로서 기능하는 제2MOSFET(203)을 구비한다. 3개의 반도체영역들인 N⁺형반도체영역들(105, 106 및 107)은 제조공정을 단축하기 위해 동시에 즉, 동일한 불순물농도 및 동일한 접합(junction)깊이로 형성될 수 있지만, 이 3개의 반도체영역들 중 적어도 하나는 다른 공정으로 형성되어 불순물밀도 및 접합깊이가 다른 반도체영역들의 불순물밀도 및 접합깊이와는 다르게 되어도 좋다. 도시되진 않았지만, 기본셀은 선형 또는 매트릭스형태로 배치될 것이다.

리셋 시에 제어전압(V_T)을 정전위설정용트랜지스터(209)의 게이트에 공급하고 리셋펄스(ϕ_R)를 제어용MOSFET(201)의 게이트에 공급하는 제어기(11)도 제공된다.

CMOS센서의 기본셀은 제2MOSFET(203)을 통해 외부회로에 연결된다.

외부회로는 소스추종증폭기로서 기능하는 제3부하MOSFET(204), 어둠출력전송용MOSFET(205)의 소스 또는 드레인에 연결된 어둠출력축적용커패시터(207), 밝음출력전송용MOSFET(206), 및 밝음출력전송용MOSFET(206)의 소스 또는 드레인에 연결된 밝음출력축적용커패시터(208)로 구성된다.

제2MOSFET(203)은 제3부하MOSFET(204)에 연결된다. 어둠출력전송용MOSFET(205)과 밝음출력전송용MOSFET(206)은 제2MOSFET(203) 및 제3부하MOSFET(204)간의 노드에 연결된다.

제1MOSFET(202), 제2MOSFET(203) 및 제3MOSFET(204)은 전원전압들(VDD 및 VSS)간에 직렬로 연결되고, 제2영역(N⁺형반도체영역; 107)은 제1MOSFET(202)의 게이트전극에 연결된다.

P⁺형반도체영역들(103 및 123)은 접지되고 N⁺형반도체영역(105)은 전원전압(VDD)에 연결된다. 정전위설정용MOSFET(209) 아래에 형성되는 전위는, 제어용MOSFET(201)에 로우레벨의 전압이 인가될 때에는 제어용MOSFET(201) 아래의 전위보다 낮고 제어용MOSFET(201)에 하이레벨의 전압이 인가될 때에는 제어용MOSFET(201) 아래의 전위보다 높도록, 제어기(11)로부터의 제어전압(V_T)에 의해 제어된다.

이러한 전위관계는, 예를 들면 전원전압(VDD)이 3.3V, 제어용MOSFET(201)에 하이레벨의 전압이 인가될 때의 전압이 5.0V, 로우레벨의 전압이 인가될 때의 전압이 1.0V 그리고 정전위설정용MOSFET(209)에 인가되는 전압이 3.3V 일 때 실현될 수 있다.

이 실시예에 상당하는 CMOS센서의 기본셀은, 도 1a에 보인 것같이 이 실시예의 광전변환부가 P형웰층(102) 및 P⁺형반도체영역(103)에 의해 둘러싸인 제1전도형의 제1영역인 N⁺형반도체영역(106), 제1영역(106)에 이웃하게 형성된 정전위설정MOSFET(209), 및 제어용MOSFET(201) 및 정전위설정용MOSFET(209) 사이에 형성된 제1전도형의 제2영역인 N⁺형반도체영역(107)에 의해 형성된다는 점이, 도 10 및 11에 보인 CMOS센서의 기본셀과는 다르다.

제1전도형의 제1영역(106), 제2영역(107) 및 정전위설정용MOSFET(209)은 광전변환부를 형성한다. 이것들 중에서, 제1영역(106)과 제2영역(107)은 광전변환부로서 기능한다. 제2영역(107)의 전위는 제1영역(106)의 전위보다 낮다. 그러므로, 신호전하들이 축적되는 기간에는, 제1영역(106)에서 광전변환된 신호전하들이 제2영역(107)에 축적된다.

도 1b에 보인 것처럼, 신호전하들이 제2영역(107)에만 축적되는 경우, 즉, 전기전하들의 량이 적은 경우, MOSFET(202)의 게이트에서 보았을 때의 광전변환부의 기생용량은 제2영역의 기생용량(C1)만이다. 한편, 신호전하들이 제2영역(107) 및 제1영역(106)에 축적되는 경우, 즉, 전하들의 량이 많은 경우, MOSFET(202)의 게이트에서 보았을 때의 광전변환부의 기생용량은 제1영역의 기생용량에 제2영역의 기생용량을 더하여 얻어진 기생용량(C2)과 동일하다.

그러므로, 입사광량에 대해 2단계의 입사광량-출력전압특성이 얻어질 수 있다. 전위가 VDD부터 VT₁까지의 1단계에 있을 때, 즉, 신호전하들이 제2영역(107)에만 축적되는 경우, 기생용량은 C1일뿐이지만, 제1영역(106)에서 광전변환된 신호전하들도 제2영역에 축적된 신호전하들에 포함되므로, 낮은 조도에서의 감도는 향상될 수 있다. 전위가 VT₁을 초과하는 경우, 제1영역 및 제2영역은 둘 다 광전변환된 신호전하들을 축적하기 위한 영역들로 사용되고 그 기생용량은 C2와 동일하다.

V=Q/C이므로 제2영역(107)의 기생용량이 감소되면 미소전하들에 대한 전압의 변화는 증가된다는 것이 알려져 있다.

그러므로, 제1전도형의 제2영역(107)이 제1전도형의 제1영역(106)보다 작은 경우, 낮은 조도에서의 감도는 더욱 향상될 수 있다.

도시되진 않았지만, 광전변환부를 제외한 영역은 차광막에 의해 차광된다.

이 실시예의 제어용MOSFET(201)과 정전위설정용MOSFET(209)에 대해서는, 문턱을 제어하기 위해 채널속으로 도핑되는 것은 없지만, 문턱제어를 위해 채널 속에 도핑되는 것이 있는 경우에도, 이 실시예가 유사하게 적용될 수 있다는 것은 말할 필요도 없다.

다음으로, 도 4 및 도 5를 참조하여, 본 발명의 제2실시예에 상당하는 고체활상장치가 설명된다. 도 4a 및 4b는 신호전하들이 기본셀의 광전변환부에 축적되는 동안의 본 발명의 제2실시예에 상당하는 CMOS센서의 기본셀의 단면도 및 페텐셜상태도를 보여주고, 도 5a 및 5b는 기본셀의 광전변환부의 신호전하들이 리셋될 때의 발명의 제2실시예에 상당하는 CMOS센서의 기본셀의 단면도 및 페텐셜상태도를 보여준다.

이 실시예에 상당하는 CMOS센서는, 제어용MOSFET(201)이 공핍(depletion)형이고 제어용MOSFET(201)의 채널영역(108)이 N⁺형반도체영역(105) 및 제2영역(107)의 전도형들과 동일한 전도형을 가진다는 점이, 제1실시예에 상당하는 CMOS센서와는 다르다. 그 밖의 구성은 제1실시예에서와 동일하므로, 그 설명은 생략한다.

그러므로, 전원전압(VDD)이 3.3V, 제어용MOSFET(201)에 인가되는 하이레벨의 전압이 3.3V, 인가되는 로우레벨의 전압이 0V 그리고 정전위설정용MOSFET(209)에 인가되는 전압이 3.3V라면, 정전위설정용MOSFET(209) 및 제어용MOSFET(201) 아래에서의 전위관계는 복수의 전압을 사용하지 않고 실현될 수 있다.

다음으로, 도 6 및 도 7을 참조하여, 발명의 제3실시예에 상당하는 고체활상장치를 설명한다. 도 6a 및 6b는 신호전하들이 기본셀의 광전변환부에 축적되는 동안의 발명의 제3실시예에 상당하는 CMOS센서의 기본셀의 단면도 및 페텐셜상태도를 보여주고, 도 7a 및 7b는 기본셀의 광전변환부의 신호전하들이 리셋될 때의 발명의 제3실시예에 상당하는 CMOS센서의 기본셀의 단면도 및 페텐셜상태도를 보여준다.

이 실시예에 상당하는 CMOS센서는, 제1전도형의 제1영역으로서의 N⁺형반도체영역(126), 제1전도형의 제2영역으로서의 N⁺형반도체영역(127) 및 제어용MOSFET(201)의 드레인으로서 기능하는 N⁺형반도체영역(105)의 불순물농도들 및 접합깊이들이 제1실시예에 상당하는 CMOS센서와는 다르다. 동일한 참조번호를 사용하는 것들은 제1실시예에 기재된 것과 동일하므로, 그 설명은 생략한다.

구체적으로는, 제어용MOSFET(201)의 드레인으로서 기능하는 N⁺형반도체영역(105)의 불순물농도 및 접합깊이에 비하여, 제1전도형의 제1영역인 N⁺형반도체영역(126) 및 제1전도형의 제2영역인 N⁺형반도체영역(127)에서의 불순물농도들은 더 낮고 접합깊이는 더 깊다. 그러므로, 접합깊이가 깊은 경우 불순물농도는 감소될 수 있고, 불순물농도가 감소되는 경우 기생용량이 감소될 수 있다. N⁺형반도체영역(126)의 전위는 N⁺형반도체영역(127)의 전위보다 더 낮을 수도 있다. 그러므로, N⁺형반도체영역들(126 및 127)의 접합깊이들이 동일하다면, N⁺형반도체영역(126)의 불순물농도는 감소될 수 있다. 그 밖의 구성은 제2실시예에 상당하는 CMOS센서의 구성과 동일하다.

그러므로, P형 웨이터(102), 제1전도형의 제1영역인 N⁺형 반도체영역(126) 및 제1전도형의 제2영역인 N⁺형 반도체영역(127) 간에는 접합에 형성된 공핍층이 연장될 수 있기 때문에 감도가 향상되고 기생용량(C)이 감소될 수 있으므로, 신호전하들에 의한 전위변화(V)는 증가될 수 있고 출력변환효율은 향상될 수 있다.

이 실시예에서, 제1전도형의 제1영역인 N⁺형 반도체영역(126), 제1전도형의 제2영역인 N⁺형 반도체영역(127) 및 제어용MOSFET(201)의 드레인으로서 기능하는 N⁺형 반도체영역(105)의 3영역들은 불순물농도 및 접합깊이가 다르지만, 제1전도형의 제1영역(126) 및 제1전도형의 제2영역(127)은 불순물농도 및 접합깊이가 동일할 수도 있고, 그 영역들은 불순물농도 및 접합깊이 중의 하나만이 다른 경우에도 이 실시예는 변형예가 되는 고체활상장치에 적용될 수 있다는 것은 말할 필요도 없다.

게다가, 제3실시예의 제어용MOSFET(201)의 채널영역(108)은 제2실시예에서처럼 공핍형이지만, 그밖에, 그 채널영역이 강화(enhancement)형인 경우에도 이 실시예에서 얻어진 효과와 동일한 효과가 얻어질 수 있다는 것은 말할 필요도 없다.

다음으로, 도 8 및 도 9를 참조하여, 발명에 제4실시예에 상당하는 고체활상장치를 설명한다. 도 8a 및 8b는 신호전하들이 기본셀의 광전변환부에 축적되는 동안의 발명의 제4실시예에 상당하는 CMOS센서의 기본셀의 단면도 및 페텐셜상태도를 보여주고 도 9a 및 9b는 기본셀의 광전변환부의 신호전하들이 리셋될 때의 발명의 제4실시예에 상당하는 CMOS센서의 기본셀의 단면도 및 페텐셜상태도를 보여준다.

이 실시예에 상당하는 CMOS센서는, 기준전위로 유지된(고정된) P⁺형 반도체영역(109)이 제1전도형의 제1영역인 N⁺형 반도체영역(126)의 표면에 형성된다는 점이 제1실시예에 상당하는 CMOS센서와는 다르다. 그 밖의 구성은 제3실시예에 상당하는 CMOS센서의 구성과 동일하므로, 그 설명을 생략한다.

그러므로, 실리콘과 산화막간의 계면에서 생긴 전류가 재결합에 의해 소멸될 수 있고 광전변환에 의하지 않는 노이즈성분이 감소될 수 있으므로, 신호-대-노이즈비는 향상될 수 있다.

이 실시예에서, P⁺형 반도체영역(109)은 제3실시예의 N⁺형 반도체영역(126)의 표면에 형성되지만, 그밖에, P⁺형 반도체영역이 이 실시예에서처럼 제1 및 제2실시예들의 N⁺형 반도체영역(106)의 표면에 형성되는 변형예들을 생각할 수 있고 그러한 변형예들에서는 제4실시예에서와 유사한 효과가 얻어질 수 있음을 물론이다.

게다가, 제1 내지 제4실시예들은 전술한 범위로 한정되지 않고 다음과 같이 변형될 수 있다.

예를 들면, 각 실시예에서, 반도체영역의 극성은 N형에서 P형으로 그리고 그 반대로도 바뀔 수도 있다.

게다가, 각 실시예에서는, P형 반도체기판이 사용되었지만, N형 반도체기판이 사용될 수도 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 고체활상장치에서는, 광전변환부에 대하여, P형 웨이터 및 P⁺형 반도체영역에 의해 둘러싸이는 종래 형태의 광전변환부가 제1전도형의 제1영역인 N⁺형 반도체영역, 제1영역에 인접하게 형성된 정전위설정용MOSFET의 채널영역 및 제1전도형의 제2영역인 N⁺형 반도체영역으로 분할되어, 제1 및 제2영역들 사이에는 채널영역을 위해 P형 웨이터를 사용하는 정전위설정용MOSFET이 마련되고, 제2영역과 종래 형태의 제어용MOSFET의 드레인 사이에는 제어용MOSFET의 채널영역을 위해 P형 웨이터가 사용됨으로써, 입사광의 량에 대해 2단계의 입사광량-출력전압특성이 얻어질 수 있고 낮은 조도에서의 감도가 향상될 수 있다.

제어용MOSFET이 공핍형인 경우, 정전위설정용MOSFET 및 제어용MOSFET간의 전위관계는 복수의 전압을 사용하지 않고 실현될 수 있다.

또한, P형 웨이팅, 제1전도형의 제1영역 및 제1전도형의 제2영역간의 접합부에 형성된 공핍층은, 제1전도형의 제1영역 및 제1전도형의 제2영역에서의 불순물농도들 및 접합깊이들이 제어용MOSFET의 드레인의 불순물농도 및 접합깊이보다 낮아지도록 연장될 수 있어, 감도는 향상되며, 기생용량(C)은 감소될 수 있으며, 신호전하에 의한 전위변화(V)는 증가될 수 있고 출력변환효율은 향상될 수 있다.

더욱이, 기준전위로 유지된 P⁺ 형반도체영역은 제1전도형의 제1영역인 N형반도체영역의 표면에 형성된다. 그러므로, 실리콘 및 산화막간의 계면에서 생기는 전류가 재결합에 의해 소멸될 수 있고 광전변환에 의하지 않는 노이즈성분이 감소될 수 있으므로, 신호-대-노이즈비는 향상될 수 있다.

(57) 청구의 범위

청구항 1.

반도체영역의 한 전도형에 역이 되는 역전도형의 광전변환부, 반도체영역에 형성되고 광전변환부에 대향하게 형성된 역전도형의 드레인영역, 및 광전변환부 및 드레인영역 사이에 형성된 역전도형의 영역을 제어용채널영역을 위해 사용하는 제어용MOSFET를 구비하며, 광전변환부에서 발생된 전하들에 의한 광전변환부의 전위의 변화를 소스추종증폭회로를 통해 출력하는 고체활상장치에 있어서,

광전변환부는 제1광전변환부 및 제2광전변환부를 구비하며,

제어용채널영역은 제2광전변환부 및 드레인영역 사이에 위치되고,

제1광전변환부 및 제2광전변환부 사이의 영역을 정전위설정용채널영역을 위해 사용하는 정전위설정용MOSFET은 제1광전변환부 및 제2광전변환부 사이에 형성된 고체활상장치.

청구항 2.

제1항에 있어서, 제1광전변환부는 그 면적이 제2광전변환부보다 큰 고체활상장치.

청구항 3.

제1항에 있어서, 정전위설정용채널영역의 전위는, 하이레벨의 전압이 제어용채널영역에 인가될 때의 제어용채널영역의 전위 및 로우레벨의 전압이 인가될 때의 제어용채널영역의 전위 사이에 있는 고체활상장치.

청구항 4.

제1항에 있어서, 드레인영역, 제1광전변환부 및 제2광전변환부 중 적어도 하나는 다른 것들과는 불순물농도 및 반도체영역과의 접합깊이가 다른 고체활상장치.

청구항 5.

제4항에 있어서, 드레인영역의 불순물농도는 제1광전변환부 및 제2광전변환부의 불순물농도들보다 높고,

드레인영역 및 반도체영역간의 접합깊이는 제1 또는 제2광전변환부 및 반도체영역간의 접합깊이보다 얇은 고체활상장치.

청구항 6.

제5항에 있어서, 제1광전변환부 및 제2광전변환부는 불순물농도 및 반도체영역과의 접합깊이가 동일하거나 또는 불순물농도 및 반도체영역과의 접합깊이 중의 어느 하나가 다른 고체활상장치.

청구항 7.

제1항에 있어서, 제어용MOSFET은 그 게이트전극에 인가되는 전압이 영인 경우에도 소스 및 드레인간에 전류가 흐르는 공핍형 트랜지스터인 고체활상장치.

청구항 8.

제1항에 있어서, 한 전도형의 캡(cap)반도체층이 제1광전변환부의 표면을 덮고 있는 고체활상장치.

청구항 9.

제1항에 있어서, 제2광전변환부는 소스추종증폭회로를 구성하는 소스추종트랜지스터의 게이트에 연결된 고체활상장치.

청구항 10.

수광된 광을 신호전하로 변환하는 광전변환부를 구비한 고체활상장치에 있어서,

광전변환부는 제1, 제2 및 제3영역들을 갖는 제1전도형의 제1반도체층, 제1반도체층의 제1영역에 형성되고 신호전하를 취하기 위한 배선이 연결된 제2전도형의 제2반도체층, 및 제1반도체층의 제3영역에 형성되고 제2반도체층의 대향 측과의 사이에 제2영역을 가지는 제2전도형의 제3반도체층을 포함하는 고체활상장치.

청구항 11.

제10항에 있어서, 게이트전극이 제1반도체층의 제2영역에 형성되고,

제3반도체층의 전위는 상기 게이트전극에 인가된 제어전압에 의해 제어되는 고체활상장치.

청구항 12.

제10항에 있어서, 제3반도체층은 제2반도체층보다 면적이 더 큰 고체활상장치.

청구항 13.

제10항에 있어서, 제1반도체층의 제1영역과의 사이에 인접한 제4영역을 갖는 제5영역에 형성되고 제2반도체층의 대향 측과의 사이에도 제4영역을 가지며 고정된 전위에 접속된 제2전도형의 제4반도체층을 포함하는 고체활상장치.

청구항 14.

제13항에 있어서, 제2 및 제3반도체층들은 그것들이 제4반도체층보다 깊도록 형성된 고체활상장치.

청구항 15.

제13항에 있어서, 제2 및 제3반도체층들의 불순물농도들은 제4반도체층의 불순물농도보다 낮은 고체활상장치.

청구항 16.

제15항에 있어서, 제3반도체층의 불순물농도는 제2반도체층의 불순물농도보다 낮은 고체활상장치.

청구항 17.

제10항에 있어서, 제1전도형의 제5반도체층이 제3반도체층 위에 형성된 고체촬상장치.

청구항 18.

제17항에 있어서, 제5반도체층은 고정된 전위에 접속된 고체촬상장치.

청구항 19.

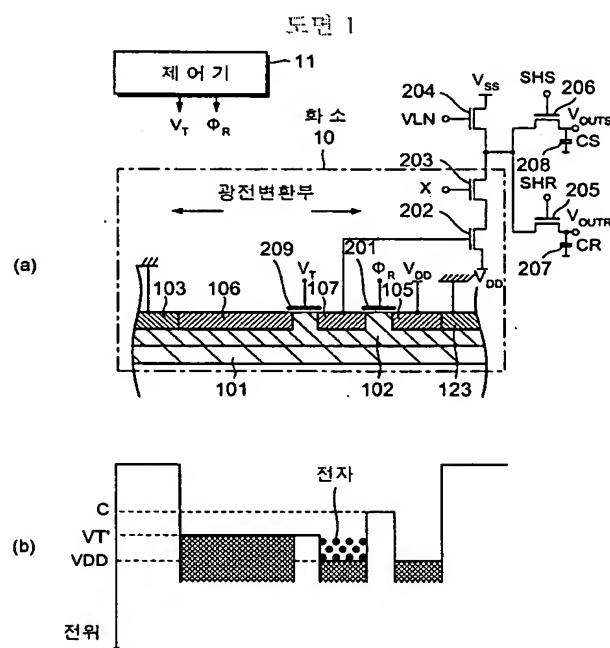
수광된 광을 신호전하로 변환하는 광전변환부를 구비한 고체촬상장치에 있어서,

광전변환부는, 제1전도형의 제1반도체층, 제1반도체층에 형성되고 신호전하를 취하기 위한 배선에 연결된 제2전도형의 제2반도체층, 및 제2반도체층과는 떨어져 있게 제1반도체층에 형성된 제2전도형의 제3반도체층을 포함하는 고체촬상장치.

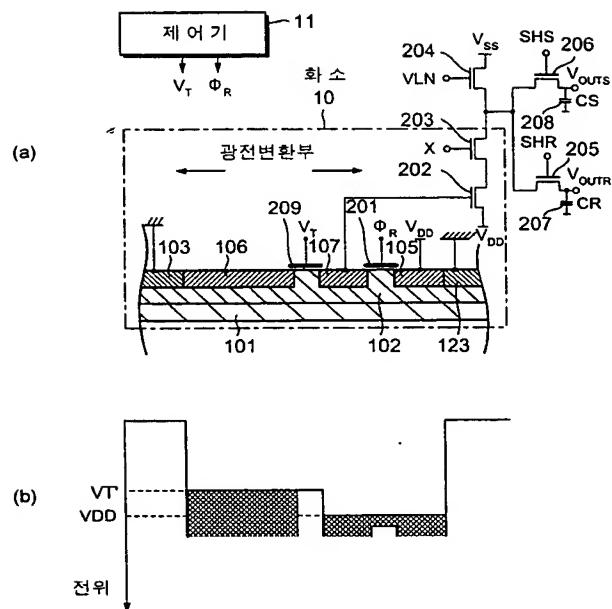
청구항 20.

고체촬상장치에 있어서, 게이트전극이 제1반도체층 위의 제2반도체층 및 제3반도체층 사이에 형성된 고체촬상장치.

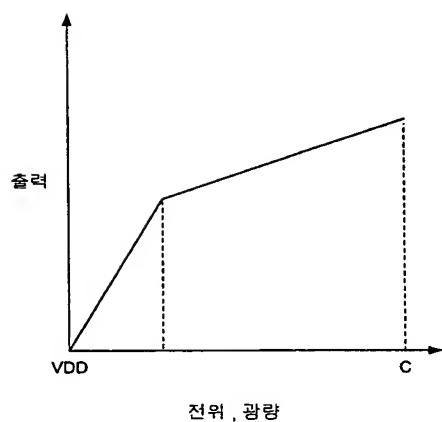
도면



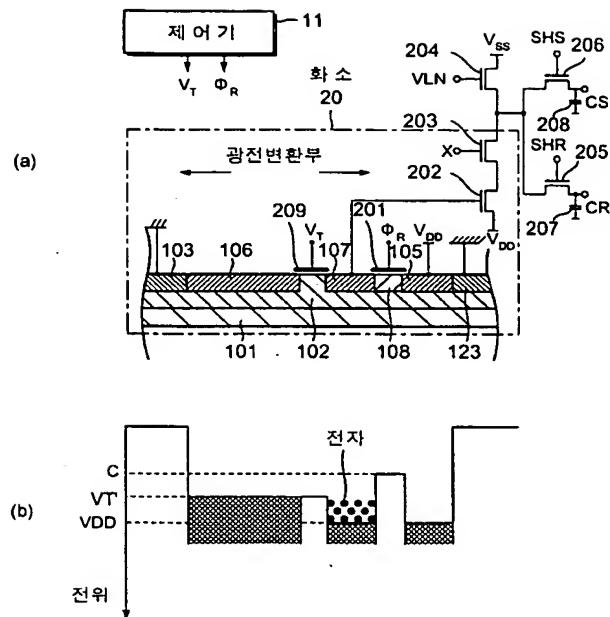
도면 2



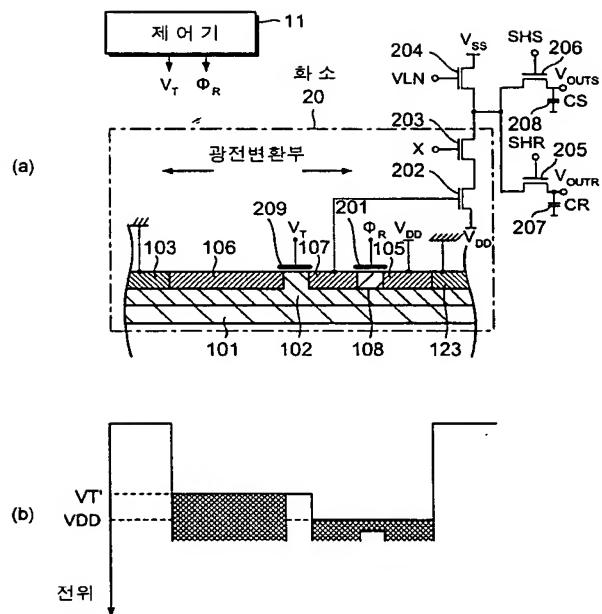
도면 3



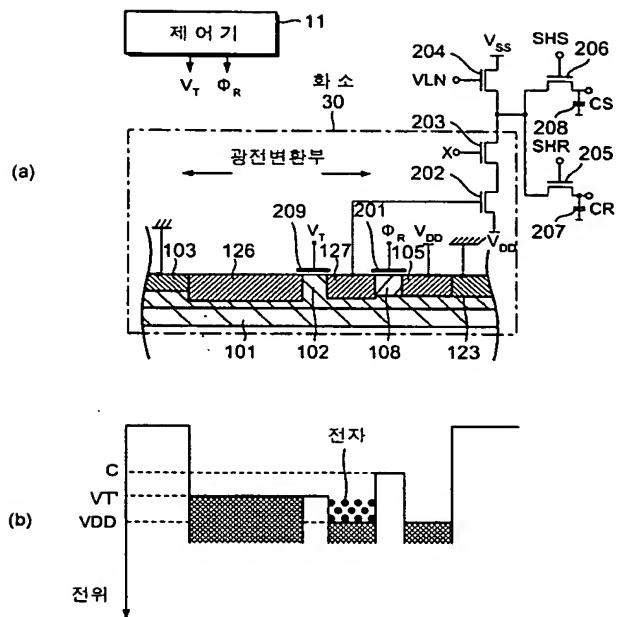
도면 4



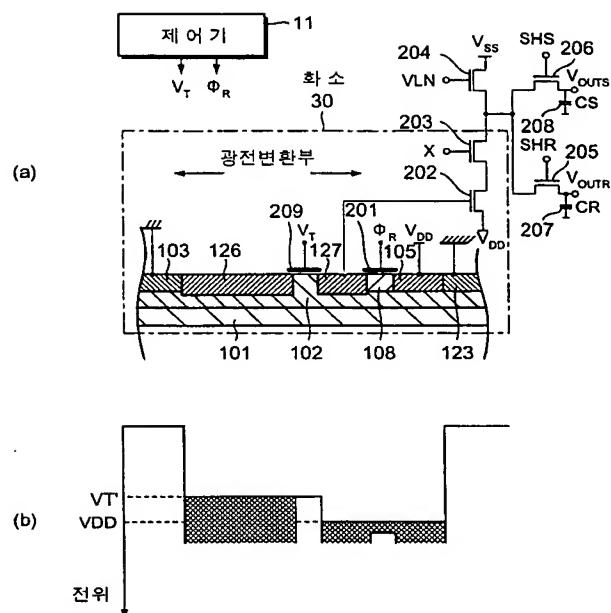
도면 5



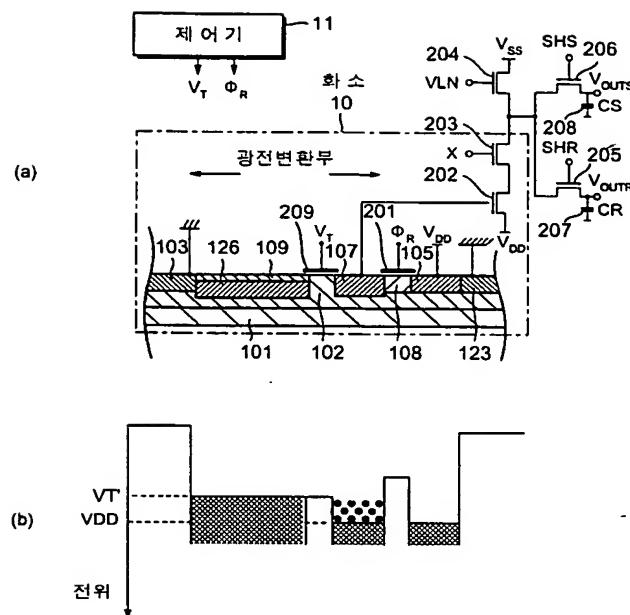
도면 6



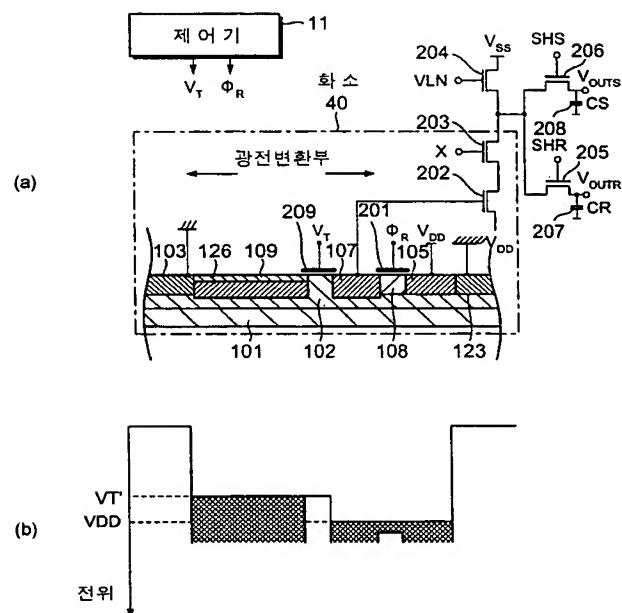
도면 7



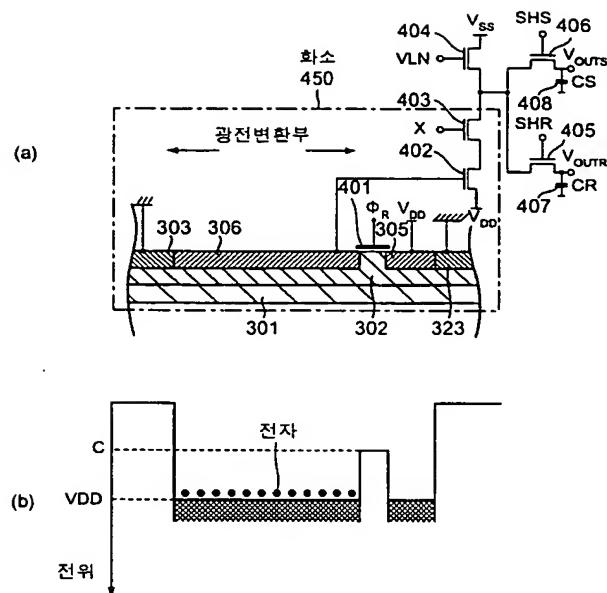
도면 8



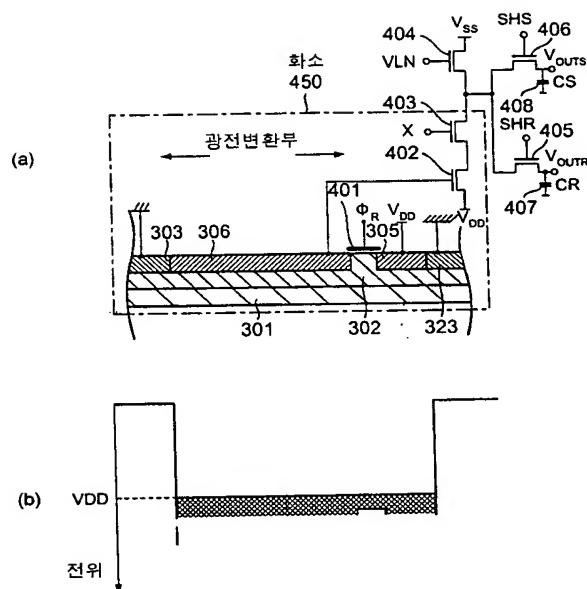
도면 9



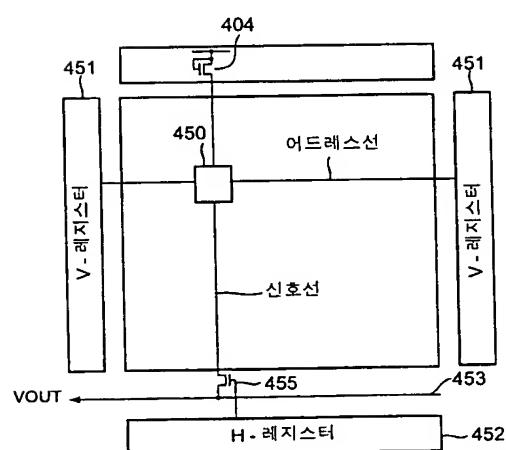
도면 10



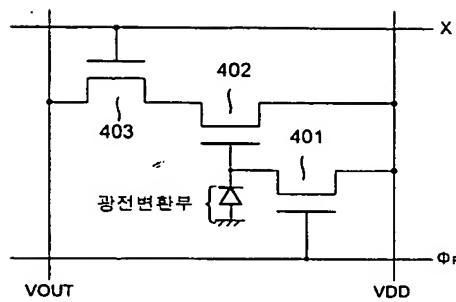
도면 11)



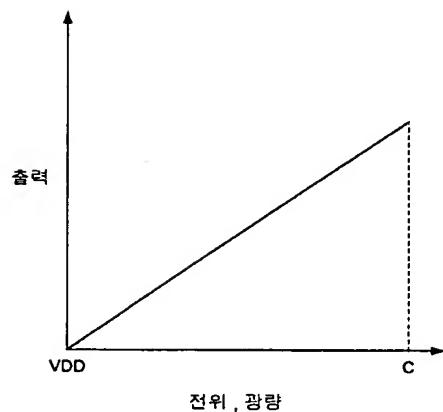
도면 12a



도면 12b



도면 13



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)